

I 5740a



PATENT

2182  
#5

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor: Yuji Kawase

Group Art Unit: 2182

Serial No.: 09/835,029

Examiner: Not Yet Assigned

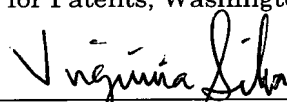
Filed: April 12, 2001

Title: DRIVE MECHANISM CONTROL DEVICE AND METHOD, DRIVING  
OPERATION CONFIRMATION METHOD FOR A DRIVE MECHANISM, AND  
PROGRAMS FOR IMPLEMENTING THE METHODS

CERTIFICATE OF MAILING

I hereby certify that this correspondence and the documents referred to as attached herein are being deposited with the United States Postal Service on this date in an envelope as "First Class Mail" service addressed to the Assistant Commissioner for Patents, Washington, DC 20231.

Date: June 18, 2001

  
Virginia Silva

SUBMISSION OF PRIORITY DOCUMENTS

RECEIVED

Assistant Commissioner for Patents  
Washington, D.C. 20231

JUN 27 2001

Sir:

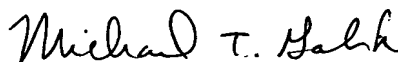
Technology Center 2100

Enclosed are the certified copies of the Japanese patent applications listed below. The claim of priority under 35 USC §119 in the above-identified application is based on these Japanese patent applications.

Japanese Patent Applications

<u>Number</u>	<u>Date Filed</u>
2000-140541	May 12, 2000
2000-158348	May 29, 2000

Respectfully submitted,



Michael T. Gabrik  
Attorney for Applicant  
Registration No. 32,896

Please address all correspondence to:  
Epson Research and Development, Inc.  
Intellectual Property Department  
150 River Oaks Parkway, Suite 225  
San Jose, CA 95134  
Customer No. 20178  
Phone: (408) 952-6000  
Fax: (408) 954-9058

Date: June 18, 2001

Submission of Priority Documents With Postcard  
Customer No. 20178

REV 11/97



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 5月12日

出 願 番 号

Application Number:

特願2000-140541

出 願 人

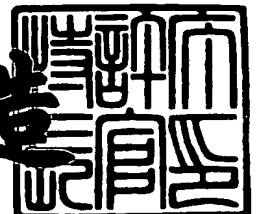
Applicant(s):

セイコーエプソン株式会社

2001年 5月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3045680

【書類名】 特許願

【整理番号】 J0078493

【提出日】 平成12年 5月12日

【あて先】 特許庁長官殿

【国際特許分類】 H02P 8/00  
B41J 19/18  
B41J 29/38

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 川瀬 裕司

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代表者】 安川 英昭

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 駆動機構制御装置、駆動機構の制御方法及びその記録媒体

【特許請求の範囲】

【請求項 1】 以下の手段を備えることを特徴とする、複数種類の制御データにより制御される駆動機構の制御装置。

計時データを受信したときに時間計測動作を開始し、前記設定された計時データにより指定された時間が経過したときにタイムアップ信号を出力する計時手段と、

所定の起動信号に基づき起動され、当該起動信号を受信する度に前記駆動機構の動作の切換タイミングを制御するための計時データをメモリから順次一つずつ読み出して、前記計時手段に転送する第 1 のダイレクトメモリアクセス手段と、

前記計時手段からタイムアップ信号を受信することにより、前記複数種類の制御データをメモリから各種類毎に一つずつ順次読み出し、読み出した順に前記駆動機構に順次転送する第 2 のダイレクトメモリアクセス手段。

【請求項 2】 前記第 2 のダイレクトメモリアクセス手段は、前記複数種類の制御データの転送が一巡したときに前記第 1 のダイレクトメモリアクセス手段に前記起動信号を出力することを特徴とする請求項 1 に記載の駆動機構の制御装置。

【請求項 3】 前記第 2 のダイレクトメモリアクセス手段は、

前記計時手段からのタイムアップ信号により起動され、前記タイムアップ信号の受信の度に、前記駆動機構の動作を制御するための第 1 の制御データをメモリから順次一つずつ読み出して、駆動機構の制御部に転送する第 1 の制御部と、

前記第 2 の制御データの転送の終了により起動され、前記第 2 の制御データの転送の終了の度に、前記駆動機構の動作を制御するための第 2 の制御データをメモリから順次一つずつ読み出して前記駆動制御部に転送し、転送後に前記第 1 のダイレクトメモリアクセス手段に前記起動信号を出力する第 2 の制御部とからなることを特徴とする請求項 2 に記載の駆動機構の制御装置。

【請求項 4】 前記計時データ及び前記複数の制御データを作成してメモリの所定のアドレスにそれぞれ記憶させるデータ設定手段を、さらに備えることを

特徴とする請求項 1 ～ 3 に記載の駆動機構の制御装置。

【請求項 5】 前記駆動機構はステップモータ駆動機構であり、前記計時データ、第 1 の制御データ、及び第 2 の制御データは、それぞれ、モータの位相切換タイミングを制御するためのデータ、モータの位相切換の時に設定する位相パターンデータ、及び位相切換時にモータに供給する電流を制御する相電流値であることを特徴とする請求項 3 又は 4 に記載の駆動機構の制御装置。

【請求項 6】 前記データ設定手段は、モータの加速時、減速時及び定常動作時におけるそれぞれの前記計時データ、前記位相パターンデータ、および前記相電流値の基本データを備えており、これらの基本データに基づき実際の駆動のための前記計時データ、第一制御データ、及び第 2 の制御データを作成することを特徴とする請求項 5 に記載の駆動機構の制御装置。

【請求項 7】 前記駆動機構はヘッド駆動機構であり、前記計時データ、前記第 1 の制御データ、および前記第 2 の制御データは、それぞれヘッド駆動のタイミングを制御するデータ、実際にヘッドを駆動させる駆動トリガデータ、及び印刷データであることを特徴とする請求項 3 又は 4 に記載の駆動機構の駆動制御装置。

【請求項 8】 以下の工程を備えることを特徴とする複数種類のデータにより制御される駆動機構の制御方法。

(a) 起動信号を受信することにより、第 1 のダイレクトメモリアクセス手段により制御データの切換タイミングを制御するための計時データをメモリから読み出して計時装置に転送する工程と、

(b) 計時データを受信したときに時間計測動作を開始し、前記設定された計時データにより指定された時間が経過したときにタイムアップ信号を出力する工程と、

(c) 前記計時装置からのタイムアップ信号に基づき、第 2 のダイレクトメモリアクセス手段により前記複数種類の制御データをメモリから各種類毎に順次一つずつ読み出し、読み出した順に前記駆動機構に順次転送する工程。

【請求項 9】 前記工程 (c) は、

(d) 前記複数種類の制御データのうち最後の制御データの転送が終了したとき

に前記第 1 のダイレクトメモリアクセス手段に前記起動信号を出力する工程を、さらに備えることを特徴とする請求項 8 に記載の駆動機構の制御方法。

【請求項 1 0】 前記工程 (c) 及び (d) は、

(e) 前記計時装置からのタイムアップ信号により、第 1 の制御データをメモリから読み出して駆動機構の駆動制御部に転送する工程と、

(f) 前記第 1 の制御データを転送後に、第 2 の制御データをメモリから読み出して駆動機構の駆動制御部に転送する工程と、

(g) 前記第 2 の制御データの転送が終了したときに前記第 1 のダイレクトメモリアクセス手段に前記起動信号を出力する工程とからなり、さらに、

(h) 前記起動信号に基づき、前記第 1 のダイレクトメモリアクセス手段は、次ぎの前記計時データをメモリから読み出して前記計時装置に転送する工程と、

(i) 以後順次、次の第 1 の制御データ、次の第 2 の制御データおよび次の計時データについて工程 (b)、(e)、(f)、(g) 及び (h) の処理を繰り返す工程と、

を備えることを特徴とする請求項 9 に記載の駆動機構の制御方法。

【請求項 1 1】 前記駆動機構の制御方法は、

(j) 前記工程 (a) の前に、前記計時データ、前記複数の制御データをメモリの所定のアドレスに記憶する工程を、

さらに備えることを特徴とする請求項 8 ～ 1 0 のいずれか 1 項に記載の駆動機構の制御方法。

【請求項 1 2】 前記駆動機構はステップモータであり、前記計時データ、前記第 1 の制御データおよび前記第 2 の制御データはそれぞれ、モータの位相を切り替える相切換タイミングを制御するデータ、前記相切換タイミングにモータに負荷される相パターンデータ、及び各切換タイミング毎に前記各相パターンに流す相電流値からなることを特徴とする請求項 1 1 に記載の駆動機構の制御方法。

【請求項 1 3】 前記駆動機構はヘッド機構であり、前記計時データ、前記第 1 の制御データおよび前記第 2 の制御データはそれぞれ、ヘッド駆動のタイミ

ングを制御するタイミングデータ、ヘッドの駆動トリガデータ、及び印刷データからなることを特徴とする請求項 1 1 に記載の駆動機構の制御方法。

【請求項 1 4】 請求項 8 から 1 3 のいずれか 1 項に記載の駆動機構の駆動を制御する方法の工程を有するプログラムを記録したコンピュータで読み取り可能な情報記録媒体。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、所定の時間内に精確な動作が要求される駆動機構の駆動制御装置及び制御方法に関し、特に専用ハードウェアを設けることなく、中央処理装置（Central Processing Unit:以下CPUと称する）からの割込処理の負荷を軽減した駆動機構の駆動制御装置、制御方法及びその方法を記録した記録媒体に関する。

【0 0 0 2】

【従来の技術】

最近の電子機器の駆動機構は、極めて高速かつ精確な動作が要求される。そのため、例えばプリンタにおいては、印字用紙の駆動又はキャリッジの駆動等にステップモータが採用されている。また、プリンタでは、正しい位置に正しい文字図形等を印刷するために、印字用紙及びキャリッジの動きに合わせて印字ヘッドを精確かつ高速に駆動（印刷動作）させる必要がある。この発明は、最近の電子機器に使用される各種駆動機構を高速かつ精確に駆動するための制御装置、制御方法及びその方法を記録した記録媒体に関するものである。

【0 0 0 3】

駆動機構の制御には、CPUによる割込信号制御方式と、専用ハードウェアによる制御方式がある。これらの制御方式をステップモータを用いて説明する。ステップモータの駆動制御においてCPU割込方式を用いる場合、モータの駆動に伴う相切換タイミング毎にCPUによる割込処理を行って、位相パターンを切り換えたりモータに流す電流を制御するための制御データを駆動機構に供給しなければならない。モータの加速時及び減速時においては、位相の切換タイミングを順次切り替えつつ負荷電流値を順次変化させる必要があるから特に複雑な制御



が必要となる。

【 0 0 0 4 】

専用ハードウェアを使用する場合には、CPUによるソフトウェアによる割込処理に変えて、専用ハードウェアがモータの位相の切換え及び電流値を制御するものである。以上のような高速かつ精確な駆動制御は、プリンタのみでなく、例えばヘッド機構のような他の駆動機構でも必要となる。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、CPUの割込処理方式では、CPUの負荷が大きくなるため、CPUの処理能力が十分でない場合には割込処理時間にばらつき生じて、高速かつ高精度の駆動が困難となる場合がある。このような割込処理のばらつきを抑え高精度のモータ駆動を可能にするには、CPUの高速化が必要となるため高価なCPUを使用しなければならない。

【 0 0 0 6 】

一方専用ハードウェアを使用する場合には、割込処理が不要であるため高精度化が可能となるが、専用ハードウェアを設けるためのコストが高くなるという問題がある。更に、専用ハードウェアを使用する場合には開発期間の長期化、及び制御方法の変更を柔軟に行うことが難しい等の問題があった。

【 0 0 0 7 】

そこで、本発明は、CPUの割込処理によらないで、かつ高価な専用ハードウェアを用いることなく、高精度のモータ駆動を可能にした各種駆動機構の制御装置、制御方法及びその記録媒体を提供することを目的とする。

【 0 0 0 8 】

さらに本発明は、制御方法を容易に変更することができる各種駆動機構の制御装置、制御方法及びその記録媒体を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

本発明者達は、上述の問題点を解決すべく研究を重ねた結果、ほとんどのCPUに搭載されているダイレクトメモリアクセス (Direct Memory Access : 以下

DMAと称す) 制御部によりメモリから複数の制御データを順次読み出し、駆動制御部に転送することにより上記課題を解決した。

【0010】

すなわち、駆動機構の駆動開始前に駆動量に応じて駆動タイミングを制御する駆動タイミングデータ(計時データ)テーブルと、各切換タイミング毎に使用される各種制御データを各種類毎に記録した複数のテーブルとをメモリ上に記憶しておく。CPUによる駆動開始要求後は、DMAが切換タイミング毎に各種テーブルからデータをひとつづつ順次読み出して、駆動機構に必要な制御データ等を転送することで、駆動機構の始動から停止までをCPUの割込なしに自立的に制御する。切換タイミングはタイミングデータをタイマに設定することにより制御する。

【0011】

本発明の駆動制御装置の第1の態様は、計時データを受信したときに時間計測動作を開始し、前記設定された計時データにより指定された時間が経過したときにタイムアップ信号を出力する計時手段と、所定の起動信号に基づき起動され、当該起動信号を受信する度に駆動機構の動作の切換タイミングを制御する計時データをメモリから順次一つずつ読み出して、計時手段に転送する第1のダイレクトメモリアクセス手段と、計時手段からタイムアップ信号を受信することにより、複数種類の制御データをメモリから各種類毎に一つづつ順次読み出し、読み出した順に前記駆動機構に順次転送する第2のダイレクトメモリアクセス手段とを備えることを特徴とする。

【0012】

この構成における計時手段は、例えばタイマでよく、計時データは所定の時間を表す時間データでよい。これらの計時データが駆動機構の動作を切り替えるタイミングデータとなる。また、複数の制御データの内容と種類は、制御される駆動機構及び制御の態様によって異なる。例えば後述するステップモータでは、タイミングデータ以外に2種類の制御データを必要とするが、駆動機構の制御の態様に合わせて、これ以上多くても少なくともよい。各種制御データは切換回数に合わせて夫々の制御データ毎に複数個用意される。各制御データの転送が終了し

てから次の制御データの転送への移行は、DMAによる割込処理を用いても、駆動制御部からDMAへの割込信号を用いてもよい。複数種類の制御データの転送が一巡した後に、次の計時データを読み出すために第1のダイレクトメモリアクセス手段へ処理を移行させる場合も同様に、DMAによる割込または駆動制御部から割込信号を出力する方法のいずれも使用可能である。

## 【 0 0 1 3 】

また、第1のダイレクトメモリアクセス手段と第2のダイレクトメモリアクセス手段は個別のDMA手段であっても、1つのDMA内に複数のチャンネルコマンドワード（CCW）レジスタを有し、その1つ1つを第1のダイレクトメモリアクセス手段及び第2のダイレクトメモリアクセス手段に割り当てても良い。

## 【 0 0 1 4 】

本発明の駆動制御装置の第2の態様は、第2のダイレクトメモリアクセス手段による複数種類の制御データの転送が一巡したときに、第1のダイレクトメモリアクセス手段に起動信号を出力することを特徴とする。制御データの転送が一巡するごとに第2のダイレクトメモリアクセス手段が第1のダイレクトメモリアクセス手段を起動して切換タイミングの設定を行い、一連の処理を繰り返すことにより、所定の駆動制御を実現する。

## 【 0 0 1 5 】

本発明の駆動制御装置の第3の態様は、前記第2のダイレクトメモリアクセス手段が、計時手段からのタイムアップ信号により起動され、タイムアップ信号の受信の度に、駆動機構の動作を制御するための第1の制御データをメモリから順次一つずつ読み出して、駆動機構の制御部に転送する第1の制御部と、第2の制御データの転送の終了により起動され、第2の制御データの転送の終了の度に、駆動機構の動作を制御するための第2の制御データをメモリから順次一つずつ読み出して駆動制御部に転送し、転送後に第1のダイレクトメモリアクセス手段に起動信号を出力する第2の制御部とからなることを特徴とする。

## 【 0 0 1 6 】

第1及び第2の制御部は、個別のDMA手段であっても、1つのDMA内に複数のチャンネルコマンドワード（CCW）レジスタを有し、その1つ1つに第1

の制御部及び第 2 の制御部を割り当てても良い。

【 0 0 1 7 】

本発明の駆動制御装置の第 4 の態様は、計時データ及び複数の制御データを作成してメモリの所定のアドレスにそれぞれ記憶させるデータ設定手段を、さらに備えることを特徴とする。

【 0 0 1 8 】

例えば、駆動機構の駆動を開始する前に、駆動開始から停止までの全過程における全ての制御切替タイミングデータ、及び複数の制御データをメモリの所定のアドレスに記憶するように構成する。この他、一時に全ての設定するのではなく、いくつか分割して CPU の空き時間に後続データを記憶するように構成してもよい。このようにして、希望する駆動条件に従った駆動制御が可能となる。

【 0 0 1 9 】

本発明の駆動制御装置の第 5 の態様は、駆動機構はステップモータ駆動機構であり、計時データ、第 1 の制御データ、及び第 2 の制御データは、それぞれ、モータの位相切替タイミングを制御するためのデータ、モータの位相切替の時に設定する相パターンデータ、及び位相切替時にモータに供給する電流を制御する相電流値であることを特徴とする。

【 0 0 2 0 】

ステップモータの場合には、モータの加速、停止前の減速にあわせて、その位相の切替タイミングの制御及び、駆動電流の制御が必要になる。そのため、切替タイミングに合わせて、所定の位相パターンデータ及び相電流値を CPU の介在なしに、DMA によりモータ制御部に順次転送していくように構成するものである。モータの駆動に伴う位相切替タイミング毎に DMA によりモータに次の位相パターンと、その位相パターンに流す電流値を駆動機構に供給する。モータの加速時及び減速時においては、位相の切替タイミングを順次切り替えつつ負荷電流値を順次変化させる必要があるから特に複雑な制御が必要となる。これらの制御データは、具体的な駆動の内容に応じて予めメモリ内に記憶しておくことが好ましい。

【 0 0 2 1 】

本発明の駆動制御装置の第6の態様は、データ設定手段が、モータの加速時、減速時及び定常動作時におけるそれぞれの前記計時データ、前記位相パターンデータ、および前記相電流値の基本データを備えており、これらの基本データに基づき実際の駆動のための前記計時データ、第一制御データ、及び第2の制御データを作成することを特徴とする。モータの特性等により、加速時、減速時等の位相切換のタイミング及び負荷電流値は異なるため、これらの基本データに基づき具体的な制御データを作成するものである。

## 【0022】

本発明の駆動制御装置の第7の態様は、駆動機構がヘッド駆動機構であり、計時データ、第1の制御データ、および第2の制御データは、それぞれヘッド駆動のタイミングを制御するデータ、実際にヘッドを駆動させる駆動トリガデータ、及び印刷データであることを特徴とする。

## 【0023】

ヘッドの駆動もプリンタと同様に駆動タイミングの制御と、駆動タイミング毎の印刷データの転送が必要となる。そのため、印刷ヘッドを駆動するタイミングを時間データで制御し、各タイミングにおけるヘッドの実際の駆動を第1の制御データである駆動トリガデータで起動し、印刷データを第2の制御データとして転送する。これにより各時間データ毎に、第2の制御データでヘッド駆動動作をトリガし、第2の制御データを印字する。尚、第1回目のトリガでは、印字データが存在しないため、印字は行われぬ。第1回目のタイミングデータ及びトリガはダミーであり、第2回目の時間データのタイミングで最初の印字データが印字される。また、キャリッジ又は記録紙を移動させながら印刷を行う場合には、キャリッジ等の移動とヘッドの駆動の同期を取る必要がある。同期の取り方としては、例えば、モータ駆動機構とヘッド駆動機構の双方の制御データを作成する段階で双方の同期をとって夫々の制御データとしてメモリに記憶し、実際の駆動はその同期済みの制御データに基づいて夫々独立して駆動する方法がある。

## 【0024】

本発明の第8の態様にかかる駆動機構の制御方法は、(a) 起動信号を受信することにより、第1のダイレクトメモリアクセス手段により制御データの切換タ

イミングを制御するための計時データをメモリから読み出して計時装置に転送する工程と、(b) 計時データを受信したときに時間計測動作を開始し、設定された計時データにより指定された時間が経過したときにタイムアップ信号を出力する工程と、(c) 計時装置からのタイムアップ信号に基づき、第2のダイレクトメモリアクセス手段により複数種類の制御データをメモリから各種類毎に順次一つずつ読み出し、読み出した順に駆動機構に順次転送する工程を備えることを特徴とする。

## 【0025】

本発明の第9の態様にかかる駆動機構の制御方法は、記工程(c)が、(d) 複数種類の制御データのうち最後の制御データの転送が終了したときに第1のダイレクトメモリアクセス手段に起動信号を出力する工程を、さらに備えることを特徴とする。

## 【0026】

本発明の第10の態様にかかる駆動機構の制御方法は、工程(c)及び(d)が、(e) 計時装置からのタイムアップ信号により、第1の制御データをメモリから読み出して駆動機構の駆動制御部に転送する工程と、(f) 第1の制御データを転送後に、第2の制御データをメモリから読み出して駆動機構の駆動制御部に転送する工程と、(g) 第2の制御データの転送が終了したときに第1のダイレクトメモリアクセス手段に前記起動信号を出力する工程とからなり、さらに、(h) 起動信号に基づき、第1のダイレクトメモリアクセス手段は、次ぎの計時データをメモリから読み出して計時装置に転送する工程と、(i) 以後順次、次の第1の制御データ、次の第2の制御データおよび次の計時データについて工程(b)、(e)、(f)、(g)及び(h)の処理を繰り返す工程とを備えることを特徴とする。

## 【0027】

本発明の第11の態様にかかる駆動機構の制御方法は、(j) 工程(a)の前に、計時データ、複数の制御データをメモリの所定のアドレスに記憶する工程を、さらに備えることを特徴とする。

## 【 0 0 2 8 】

本発明の第 1 2 の態様にかかる駆動機構の制御方法は、本発明の方法が適用される駆動機構がステップモータであり、各工程で使用される計時データ、第 1 の制御データおよび第 2 の制御データはそれぞれ、モータの位相を切り替える相切換タイミングを制御するデータ、前記相切換タイミングにモータに負荷される位相パターンデータ、及び各切換タイミング毎に各位相パターンに流す相電流値からなることを特徴とする。

## 【 0 0 2 9 】

本発明の第 1 3 の態様にかかる駆動機構の制御方法は、本発明の方法が適用される駆動機構がヘッド機構であり、各工程で使用される計時データ、第 1 の制御データおよび第 2 の制御データはそれぞれ、ヘッド駆動のタイミングを制御するタイミングデータ、ヘッドの駆動トリガデータ、及び印刷データからなることを特徴とする。

## 【 0 0 3 0 】

## 【発明の実施の形態】

以下、図面を参照しつつ、本発明の実施形態を詳細に説明する。図 1 に、本発明が適用される駆動装置の構成例を示す。

## 【 0 0 3 1 】

図 1 は、本発明の適用が可能な駆動装置の構成の概略を示すブロック図である。

CPU 1 は、中央処理装置であり、メモリ 2 に記憶されたプログラム（ファームウェア、OS を含む）に従い各種演算、処理及び制御を行う。3 はダイレクトメモリアクセス制御部（以下 DMA と称する）であり、CPU 1 の介在なしに各種入出力装置とメモリ 2 間でのデータの転送を実行する装置である。

## 【 0 0 3 2 】

尚、図 1 には説明をわかりやすくするため、入出力装置としては計時手段 4 と、駆動機構 5 だけしか示していない。メモリ 2 からのデータの読み出しアドレス及び読み出したデータの転送先は、アドレスライン 8 により指定され、読み出されたデータはデータバス 9 により転送される。

メモリ 2 から計時手段 4 にタイミングデータが転送されると、計時手段 4 は受信したタイミングデータに従って時間を計測し、所定の時間が経過したときにタイムアップ信号を DMA に出力する。これにより DMA 3 はメモリ 2 から駆動制御部 6 へ所定のデータを転送し、これらの制御データに従って駆動機構 5 の駆動部 7 が動作する。

### 【 0 0 3 3 】

#### (第 1 の実施例)

次に、図 2 を用いて本発明の第 1 の実施例を説明する。図 2 は本発明の第 1 の実施例の構成を示す機能ブロック図である。

### 【 0 0 3 4 】

図中、10 は、駆動機構の動作を切り替えるタイミングを制御するのデータを記憶しているタイミングデータ記憶手段である。11 は、切り替え後の駆動機構の動作を制御するための第 1 の制御データを記憶している第 1 の制御データ記憶手段であり、12 は、第 2 の制御データを記憶している第 2 の制御データ記憶手段である。13 は、第 n 番目の制御データを記憶している第 n の制御データ記憶手段である。これらのデータ記憶手段 10 ～ 13 は、メモリ内に割り当てられた所定のアドレス空間であること及び、この記憶手段に所定のデータを駆動動作の開始前に CPU により設定しておくことが好ましい。

### 【 0 0 3 5 】

14 は第 1 のダイレクトメモリアクセス手段（以下第 1 の DMA 手段と称す）であり、15 は第 2 のダイレクトメモリアクセス手段（以下第 2 の DMA 手段と称す）である。第 1 の DMA 14 及び第 2 の DMA 手段 15 は、1 つのダイレクトメモリアクセス（DMA）により、第 1 及び第 2 の DMA 手段 14, 15 を構成しても、別々に設けられた複数個の DMA により構成してもよい。

### 【 0 0 3 6 】

4 は計時手段でタイミングデータに基づき時間経過を計測し、タイムアップ信号を出力する。6 は駆動制御部で、第 1 の制御手段 16（図 3 に示す）、第 2 の制御手段 17（図 3 に示す）により転送された制御データを受信することにより駆動部 7 の駆動を制御する。駆動部 7 は例えば、ステップモータまたは印刷ヘッ



ドであるがこれに限定されない。

【 0 0 3 7 】

動作について説明する。CPU 1 から第 1 の DMA 手段 1 4 に駆動開始信号が送信されると、第 1 の DMA 手段 1 4 はタイミングデータ記憶手段 1 0 のテーブルから第 1 番目のタイミングデータを読み出し、計時手段 4 に転送する。この場合においてタイミングデータは、現在の動作状況から次の動作へ切換えるまでの時間間隔を示す時間データでよい。今、このタイミングデータが計時手段 4 に転送されると、計時手段 4 はタイミングデータで指定された所定の時間が経過したときにタイムアップ信号を第 2 の DMA 手段 1 5 に出力する。

【 0 0 3 8 】

タイムアップ信号を受信した第 2 の DMA 手段 1 5 は、まず第 1 の制御データ記憶手段 1 1 に記憶されている第 1 の制御データテーブルの第 1 番目の制御データを読み出し、駆動機構 5 の駆動制御部 6 に転送する。駆動制御部 6 への第 1 の制御データの転送が完了すると、次に第 2 の制御データ記憶手段 1 2 の記憶テーブルの第 1 番目の制御データを読み出し、駆動制御部 6 に転送する。同様にして第 n の制御データ記憶部 1 3 の記憶テーブルの第 1 番目の制御データを駆動制御部 6 に転送する。これらの第 1 から第 n の制御データ（n 種類）を受信すると、駆動制御部 6 はこれらの制御データに基づき駆動部の動作を開始する。

【 0 0 3 9 】

一方、駆動制御部 6 への第 n の制御データの転送の完了により、第 1 の DMA 手段 1 4 が起動される。第 1 の DMA 手段 1 4 の起動は、図 2 に実線 2 7 で示すように、第 n の制御データの転送の完了後に第 2 の制御手段 1 7 から第 1 の DMA 手段 1 4 へ割込を発生するように構成しても、破線 2 8 で示すように、駆動制御部 6 から第 1 の DMA 手段 1 4 に割込を発生するように構成してもよい。

【 0 0 4 0 】

第 1 の DMA 手段 1 4 は、第 2 の DMA 手段 1 5 または駆動制御部 6 からの割込による起動信号により、タイミングデータ記憶手段 1 0 の記憶テーブルから次のタイミングデータを読み出して、読み出したタイミングデータを計時手段 4 に転送する。計時手段 4 は受信したタイミングデータに基づいて時間を測定し、当

該データにより指定された所定の時間の経過の時に第 2 の DMA 手段 1 5 に次のタイムアップ信号を出力する。

## 【 0 0 4 1 】

このタイムアップ信号により、第 2 の DMA 手段 1 5 は前回と同様にして第 1 の制御データテーブル乃至第 n の制御データテーブルから第 2 番目の制御データを夫々読み出して、そのデータを駆動制御部 6 に順次転送する。

## 【 0 0 4 2 】

以下同様にして、所定の駆動が終了するまで、タイミングデータ記憶手段 1 0 ～第 n の制御データ記憶手段 1 3 の記憶テーブルのデータに従って駆動部 7 が駆動される。所定の切換タイミングデータ及び各種制御データを、駆動開始前に設定しておくことにより、CPU の介在なしに駆動機構を精確に駆動することが可能となる。

## 【 0 0 4 3 】

次に第 2 の DMA 手段 1 5 についてより詳しく説明する。

## 【 0 0 4 4 】

尚、図 2 では、駆動機構の動作の制御にタイミングデータ以外の制御データとして、第 1 から第 n の制御データ（n 種類）を使用しているが、使用される制御データの種類の、駆動機構及び駆動態様により異なる。例えばステップモータの駆動制御等のように、タイミングデータに加えて更に 2 種類の制御データを使用するケースが最も典型的な例である。従って、以下の説明では、説明をわかり易くするために、タイミングデータと 2 種類の制御データを使用する場合について説明する。

## 【 0 0 4 5 】

図 3 は、タイミングデータと 2 種類の制御データを使用する場合の実施例の構成を示す機能ブロック図である。第 2 の DMA 手段 1 5 は、制御データの種類に対応して、第 1 の制御手段 1 6 と第 2 の制御手段 1 7 が設けられている。第 1 及び第 2 の制御手段 1 6、1 7 もダイレクトメモリアクセス制御手段で構成される。

## 【 0 0 4 6 】

第 1 の DMA 手段からタイミングデータが計時手段 4 に転送されると、計時手段 4 はタイミングデータで指定された所定の時間が経過したときにタイムアップ信号を第 1 の制御手段 1 6 に出力する。

## 【 0 0 4 7 】

タイムアップ信号を受信した第 1 の制御手段 1 6 は、第 1 の制御データ記憶手段 1 1 に記憶されている第 1 の制御データテーブルから第 1 の制御データを読み出し、駆動機構 5 の駆動制御部 6 に転送する。駆動制御部 6 への第 1 の制御データの転送が完了すると、第 2 の制御手段 1 7 が起動される。第 2 の制御手段 1 7 は、第 1 の制御データの転送が完了したときに第 1 の制御手段 1 6 から第 2 の制御手段 1 7 に割込を発生する（破線 2 9 で示す）ように構成しても、第 1 の制御データを受信完了後に駆動制御部 6 から第 2 の制御手段 1 7 に割込（実線 2 6 で示す）を発生するように構成してもよい。

## 【 0 0 4 8 】

第 2 の制御手段 1 7 は第 2 の制御データ記憶手段 1 2 の記憶テーブルから最初の第 2 の制御データを読み出し、駆動制御部 6 に転送する。第 1 の制御データおよび第 2 の制御データを受信すると、駆動制御部 6 はこれらの制御データに基づき駆動部の動作を開始する。

## 【 0 0 4 9 】

一方、駆動制御部 6 への第 2 の制御データの転送の完了により、第 1 の DMA 手段 1 4 が起動される。第 1 の DMA 手段 1 4 の起動は、第 2 の制御データの転送の完了後に第 2 の制御手段 1 7 から第 1 の DMA 手段 1 4 へ割込を発生する（実線 2 7 で示す）ように構成しても、駆動制御部 6 から第 1 の DMA 手段 1 4 に割込を発生する（破線 2 8 で示す）ように構成してもよい。

## 【 0 0 5 0 】

第 1 の DMA 手段 1 4 は、第 2 の制御手段 1 7 又は駆動制御部 6 からの割込により、タイミングデータ記憶手段 1 0 の記憶テーブルから次のタイミングデータを読み出して、読み出したタイミングデータを計時手段 4 に転送する。計時手段 4 は受信した次のタイミングデータに基づいて時間を測定し、当該データにより指定された所定の時間の経過の時に第 1 の制御手段 1 6 に次のタイムアップ信号

を出力する。

【 0 0 5 1 】

このタイムアップ信号により、第 1 の制御手段 1 6 は前回と同様にして第 1 の制御データテーブルから次の第 1 の制御データを読み出して、そのデータを駆動制御部 6 に転送する。第 1 の制御データの転送が完了すると、前回と同様に第 2 の制御手段 1 7 が駆動されて第 2 の制御データ記憶テーブルから次の第 2 の制御データが読み出されて、そのデータが駆動制御部 6 に転送される。この段階で、前回の制御データに基づく駆動部 7 の動作は終了し、次の制御データに基づく動作が開始される。

【 0 0 5 2 】

以下同様にして、所定の駆動が終了するまで、タイミングデータ記憶手段 1 0 、第 1 の制御データ記憶手段 1 1 及び第 2 の制御データ記憶手段 1 2 の記憶テーブルのデータに従って駆動部 7 が駆動される。

【 0 0 5 3 】

図 4 は、図 3 の制御装置により各種制御データを駆動機構 5 に転送する場合のデータ転送の手順及びデータの流れをイメージ的に示したものである。タイミングデータ記憶手段 1 0 、第 1 の制御データ記憶手段 1 1 、第 2 の制御データ記憶手段 1 2 がメモリ 2 内の所定のアドレス空間に設けられており、第 1 の DMA 手段 1 4 、第 1 の制御手段 1 6 及び第 2 の制御手段 1 7 は、DMA 3 内に設けられている。

【 0 0 5 4 】

CPU 1 が、これから駆動しようとする駆動機構 5 を制御するためのタイミングデータ、第 1 の制御データ、第 2 の制御データをメモリ 2 の所定のアドレスに、書きこむ。その後以下のように動作し駆動機構 5 の動作が制御される。

(1) CPU 1 が、DMA 制御部 1 8 に第 1 の DMA 手段 1 4 を起動する信号を送出する。

(2) これにより DMA 制御部 1 8 は、第 1 の DMA 手段 1 4 を起動する。

(3) 第 1 の DMA 手段 1 4 は、前述の通り、メモリ 2 のタイミングデータテーブル 1 0 からデータを読み出す。読み出すデータのアドレスは第 1 の DMA 手

段 1 4 のソースアドレスレジスタに記憶されており、1 度読み出す度に次のデータのアドレスを指定するようにインクリメントされる。

(4) 読み出されたタイミングデータは、転送アドレスレジスタ 2 0 に基づき、計時手段 4 に転送される。

(5) 計時手段 4 はタイミングデータにより所定の時間の経過を監視し、その時間の経過の時に第 1 の制御手段 1 6 に対してタイムアップ信号を出力する。計時手段として、タイマを使用することができる。

(6) タイムアップ信号を受信した第 1 の制御手段 1 6 は、自己のソースアドレスレジスタ (図示せず) に基づき第 1 の制御データを読み出す。その後、ソースアドレスレジスタのアドレスを次のデータのアドレスにインクリメントする。

(7) 読み出した第 1 の制御データは、転送アドレスレジスタ (図示せず) に基づき駆動機構 5 に転送される。

(8) 第 1 の制御データの転送が終わると、第 2 の制御手段 1 7 が起動される。

(9) 第 2 の制御手段 1 7 は、第 2 の制御データを読み出す。その後、第 1 の DMA 手段 1 4 及び第 1 の制御手段 1 6 と同様に自己のソースアドレスレジスタ (図示せず) を次の第 2 の制御データのアドレスにインクリメントする。

(10) 読み出した第 2 の制御データは駆動機構 5 に転送される。

(11) 第 2 の制御データの転送が完了すると、第 1 の DMA 手段 1 4 が再び起動されてソースアドレスレジスタ 1 9 により、次のタイミングデータが読み出される。

以下同様の処理が駆動終了まで繰り返され、駆動機構の動作が制御される。

【 0 0 5 5 】

(第 2 の実施例)

次に図 5 を用いて本発明の第 2 の実施例を説明する。尚、以下の説明においては、本発明をプリンタに適用した例を用いて説明するが、本発明はプリンタに限らず、ステップモータ、ヘッド機構その他の各種駆動機構を使用する各種装置に適用可能である。

【 0 0 5 6 】

図 5 は、ステップモータの駆動を制御する本発明の制御装置の例を示す機能ブロック図である。図 5 では、図 3 の第 1 の DMA 手段 1 4、第 1 の制御手段 1 6 及び第 2 の制御手段 1 7 が、それぞれ位相切換タイミング制御手段 2 1、位相パターン制御手段 2 2 及び相電流制御手段 2 3 として示されている。これらの各制御手段はいずれも DMA 手段により構成されるものであるが、これらの手段の制御機能を機能ブロックとしてわかり易く表したものである。これらの制御手段 2 1 ～ 2 3 から所定の制御データをモータ駆動制御部 2 4 に転送してモータ 2 5 の駆動を制御する。

## 【 0 0 5 7 】

図 6 は、ステップモータ 2 5 を駆動する場合のモータの制御の典型例を示すグラフである。ステップモータを駆動するには、モータに負荷する電圧の位相を順次切り替える必要がある。また、モータを駆動する場合には、図 6 (a) に示すように動作開始から徐々に加速し、定常速度まで達したらそれを維持し、停止位置に近づいたら減速する必要がある。そのため、位相の切換タイミングは加速時、定常速度時及び減速時により異なってくる。また、加速、定常速度及び減速を制御するにはそれぞれの期間において電流の制御も必要となる。図 6 (b) に示すように駆動開始時には多くの電流を流しモータの回転を加速する必要がある。定常速度時には一定速度を維持するだけの電流で良いが、減速時にはブレーキをかけるため大きな電流を流す必要がある。

## 【 0 0 5 8 】

尚、図 6 (b) からわかるように、モータ停止後にもモータには微電流が流される。これは、モータの残留振動を早く減衰させることを目的として、モータ停止後にモータの全相に微電流を流すものである（これをラッシュ通電と呼ぶ）。従って、モータが停止位置に到達後、最後の制御データとして、ラッシュ通電の位相パターン(全相)、ラッシュ通電の電流値、及びラッシュ通電時間が駆動制御部に転送されて、ラッシュ通電時間の経過のときにモータ駆動動作は終了する。

## 【 0 0 5 9 】

各グラフの下にある数字は、各位相の切換タイミングを示している。これからわかるように、モータ 2 5 の駆動は第 2 回目の切換タイミングから開始される。

図 7 を用いてより詳細に説明する。

【 0 0 6 0 】

図 7 は、モータ駆動開始の要求から切換タイミングデータ、第 1 の制御データ及び第 2 の制御データの設定を経て、次の切換タイミングを設定する一連の制御動作のための繰り返し処理の状態変移を示す図である。

【 0 0 6 1 】

CPU 1 により駆動開始が伝えられると、第 1 の DMA 手段 1 4 は切換タイミング記憶手段 1 0 の位相切換タイミングデータテーブルの最初のデータを読み出してタイマ 4 転送する。タイマ 4 はタイミングデータに基づき所定の時間経過を監視する（第 1 の状態：4 0）。

【 0 0 6 2 】

タイマ 4 が所定の時間の経過を検知すると第 1 の制御手段 1 6 は、第 1 の制御データ記憶手段 1 1 の位相パターンデータテーブルの最初のデータを読み出して、モータ駆動制御部 2 4 に位相の設定を行う（第 2 の状態：4 1）。

【 0 0 6 3 】

最初の位相パターンデータの転送が終わると、第 2 の制御手段 1 7 が第 2 の制御データ記憶手段 1 2 から相電流値を読み出して、モータ駆動制御部 2 4 に最初の相電流値の設定を行う。第 2 の制御手段 1 7 により相電流値の設定が行われると、モータ 2 5 が駆動を開始する（第 3 の状態：4 2）。

【 0 0 6 4 】

相電流の転送が終了すると、再び第 1 の DMA 手段 1 4 が駆動され、位相切換タイミングテーブルから次の切換タイミングデータが読み出されてタイマ 4 に設定される（第 1 の状態：4 0）。タイマ 4 が所定の時間の経過を検知すると、第 2 の DMA 手段により次の位相パターンがモータ駆動制御手段 6 に設定され（第 2 の状態：4 1）、続いてすぐに相電流値が設定される（第 3 の状態：4 2）。これにより、第 2 番目の位相パターンによる駆動が開始される。

【 0 0 6 5 】

以上の説明からわかるように、第 1 番目のタイミングデータは最初の位相パターン、相電流値を設定するためのダミーの値である。モータ 2 5 は、第 2 番目の

タイミングデータ（時間データ）で指定された期間が経過して位相パターン等が変更されるまで、最初に設定された位相パターン及び相電流値にしたがって駆動される。同様に次の位相パターン及び相電流値に従って次の切換タイミングまでモータ 2 5 が駆動される。

## 【 0 0 6 6 】

このようにして、モータ 2 5 は、図 6（a）に示すように第 2 番目の切換タイミングから駆動を開始し、所定の切換タイミングデータ及び制御データに従って、その駆動動作が制御される。

## 【 0 0 6 7 】

図 8 に実施例 2 によるモータの駆動制御の処理手順のフローチャートを示す。プログラムによりステップモータ 1 の駆動を要求されると、CPU 1 は動作開始から停止までの制御に必要な位相切換タイミングデータ（この例では時間データ）と、その切換タイミング毎に設定される位相パターンデータ及び電流値データの各テーブルをメモリ上の所定のアドレスに作成する（S 1 0 0）。その後、CPU 1 から第 1 の DMA 手段 1 4 にモータ駆動開始の信号が出力する（S 1 0 1）。

## 【 0 0 6 8 】

CPU 1 からの駆動開始指示により、第 1 の DMA 手段 1 4 はメモリ 2 のタイミングデータテーブルから時間データを読み出し（S 1 0 0 3）、タイマ 4 にセットする（S 1 0 3）。タイマへの時間データのセットによりタイマは始動して、設定時間の経過後タイムアップ信号を第 1 の制御手段 1 6 に出力する。タイムアップ信号を受信するまではこの状態を継続する（S 1 0 4；No）。タイムアップ信号を受信すると（S 1 0 4；Yes）、第 1 の制御手段 1 6 がメモリ 2 の位相パターンデータを読み出して（S 1 0 5）、モータ駆動制御部 2 4 に転送する（S 1 0 6）。

## 【 0 0 6 9 】

位相パターンデータの転送が終わると、次に第 2 の制御手段 1 7 により相電流データテーブルから相電流データを読み出し（S 1 0 7）、モータ駆動制御部 2 4 に相電流値を設定するタイミングデータ記憶手段からタイミングデータを読み出し



て、計時装置 5 に転送する。これによりモータ 2 5 に相電流が流され、モータの駆動を開始する。

【 0 0 7 0 】

その後、次の位相切換タイミングデータ（時間データ）があれば（S 1 0 9 ; Y e s）、第 1 の DMA 手段 1 4 が次の時間データを切換タイミングデータテーブルから読み出してタイマ 4 にセットし（S 1 0 2、1 0 3）、タイマ 4 がタイムアップするまで、この状態を維持する（S 1 0 4 ; N o）。すなわち、第 1 回目の処理工程（S 1 0 6）で設定した位相パターンに、第 2 回目の処理工程（S 1 0 3）で設定した時間データにより指定した期間、第 1 回目の処理工程（S 1 0 8）で設定した相電流が流されることになる。

【 0 0 7 1 】

タイマ 4 がタイムアップすると（S 1 0 4 ; Y e s）、第 2 回目の位相パターンデータ及び相電流データがモータ駆動制御部 2 4 に設定され（S 1 0 5 ~ S 1 0 8）、第 3 回目の時間データで指定された期間、それらの設定値に対応する電流が流される（S 1 0 2 ~ S 1 0 4）。以下同様にして、位相切換タイミングデータテーブルのタイミングデータに基づいて、順次同様の処理が繰り返される（S 1 0 2 ~ S 1 0 9）。位相切換タイミングデータテーブルに、次の時間データがなくなると、処理を終了する。

【 0 0 7 2 】

（第 3 の実施例）

次に図 9 を用いて本発明の第 3 の実施例を説明する。図 9 は、印字ヘッドの駆動を制御する本発明にかかる制御装置の例を示す機能ブロック図である。図 9 では、図 3 の第 1 の DMA 手段 1 4、第 1 の制御手段 1 6 および第 2 の制御手段 1 7 が、それぞれヘッド駆動タイミング制御手段 3 0、位相パターン制御手段 3 1 及び相電流制御手段 3 2 として示されている。第 2 の実施例と同様に、これらの各制御手段もいずれも DMA 手段により構成されるものであるが、これらの手段を機能ブロックとしてわかり易く表したものである。これらの制御手段 3 0 ~ 3 2 から所定の制御データをヘッド駆動制御部 3 3 に転送してヘッド 3 4 の駆動を制御する。

## 【 0 0 7 3 】

基本的な動作は第 2 の実施例で説明したものと同様であるが、その処理する制御データが異なる。タイミングデータとしては、ヘッド駆動タイミングデータ、ヘッド駆動トリガデータ及び印刷データであり、これらのデータが駆動前にテーブルに設定される。

## 【 0 0 7 4 】

基本動作を図 1 0 を用いて説明する。第 1 の DMA からなる駆動タイミング制御部 3 0 によりヘッドを駆動するタイミングデータをタイマ 4 に設定する（第 1 の状態：4 0）。タイマ 4 がタイムアウトするとヘッド駆動トリガ制御部 3 1 により駆動トリガをヘッド駆動制御部に転送し、ヘッドを駆動させる（第 2 の状態：4 1）。この段階では印刷データ転送されていないので、何も印刷しない。次に印刷データ制御部 3 3 により例えば 1 ラインドット分の印刷データを転送する（第 3 の状態：4 2）。転送される印刷データの量は、一回のヘッド駆動により印刷可能な量にすることが好ましい。ヘッド駆動制御部 3 3 は、受信した印刷データを記憶しておき、次の駆動トリガを受信したときに印刷を行う。

## 【 0 0 7 5 】

以上の説明においては、モータの駆動を駆動する駆動制御装置と、ヘッド駆動制御装置を夫々別々に説明したが、実際のプリンタの動作においてはいずれの駆動機構も互いに関連し合いながら動作する。従って、ヘッド駆動制御装置及びモータ駆動装置の夫々に本発明を適用し、互いに同期を取りながら動作させることも可能である。この場合の同期の取り方としては、例えば、モータ駆動機構とヘッド駆動機構の双方の制御データを作成する段階で双方の同期をとって夫々の制御データとしてメモリに記憶し、実際の駆動はその同期済みの制御データに基づいて夫々独立して駆動する方法を採用することができる。また、例えばモータ駆動のタイミングを実際のヘッド駆動のタイミングに同期させるようにする等、実際の動作において同期をとるように構成することもできる。

## 【 0 0 7 6 】

## 【発明の効果】

以上説明したように、本発明では、予めメモリ内にタイミングデータ及び所定

の制御データを記憶しておき、タイミングデータのタイマへの設定及び制御データの駆動機構への転送を、DMAにより順次行わせるよう構成した。これにより、本発明では、CPUの割込処理によらないで、かつ高価な専用ハードウェアを用いることなく、高精度のモータ駆動を可能にすることができるようになった。

【図面の簡単な説明】

【図 1】

本発明が適用される駆動装置の構成例を示す。

【図 2】

本発明の第 1 の実施例の構成を示す機能ブロック図である。

【図 3】

本発明の第 1 の実施例の構成をさらに詳細に説明するための機能ブロック図である。

【図 4】

図 3 の制御装置により各種制御データを駆動機構 5 に転送する場合のデータ転送の手順及びデータの流れをイメージ的に示した図である。

【図 5】

ステップモータの駆動を制御する本発明の制御装置の第 2 の実施例を示す機能ブロック図である。

【図 6】

ステップモータ 2 5 を駆動する場合のモータの制御の典型例を示すグラフである。

【図 7】

モータ駆動開始の要求から切換タイミングデータ、第 1 の制御データ及び第 2 の制御データの設定を経てモータの駆動動作を行い、次の切換タイミングを設定する一連の制御動作の繰り返し処理の状態変移を示す図である。

【図 8】

実施例 2 によるモータの駆動制御の処理手順のフローチャートを示す。

【図 9】

印字ヘッドの駆動を制御する本発明にかかる制御装置の例を示す機能ブロック

図である。

【図 1 0】

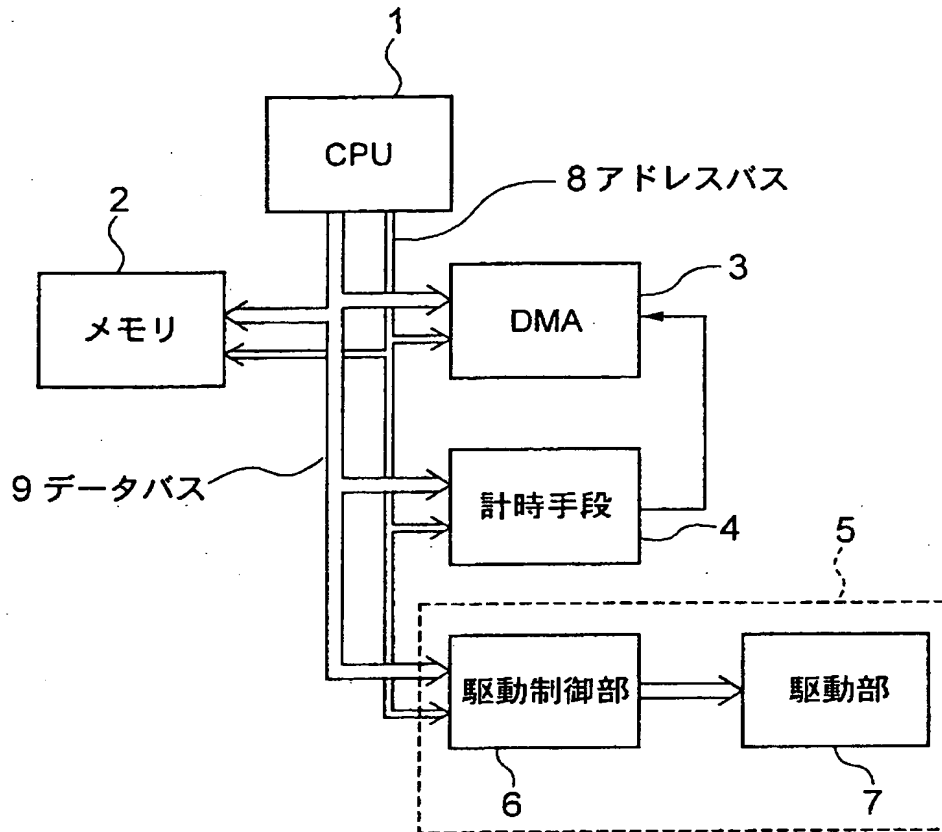
ヘッド駆動開始の要求から切換タイミングデータ、第 1 の制御データ及び第 2 の制御データの設定を経て印刷動作を行い、次の切換タイミングを設定する一連の制御動作の繰り返し処理の状態変移を示す図である。

【符号の説明】

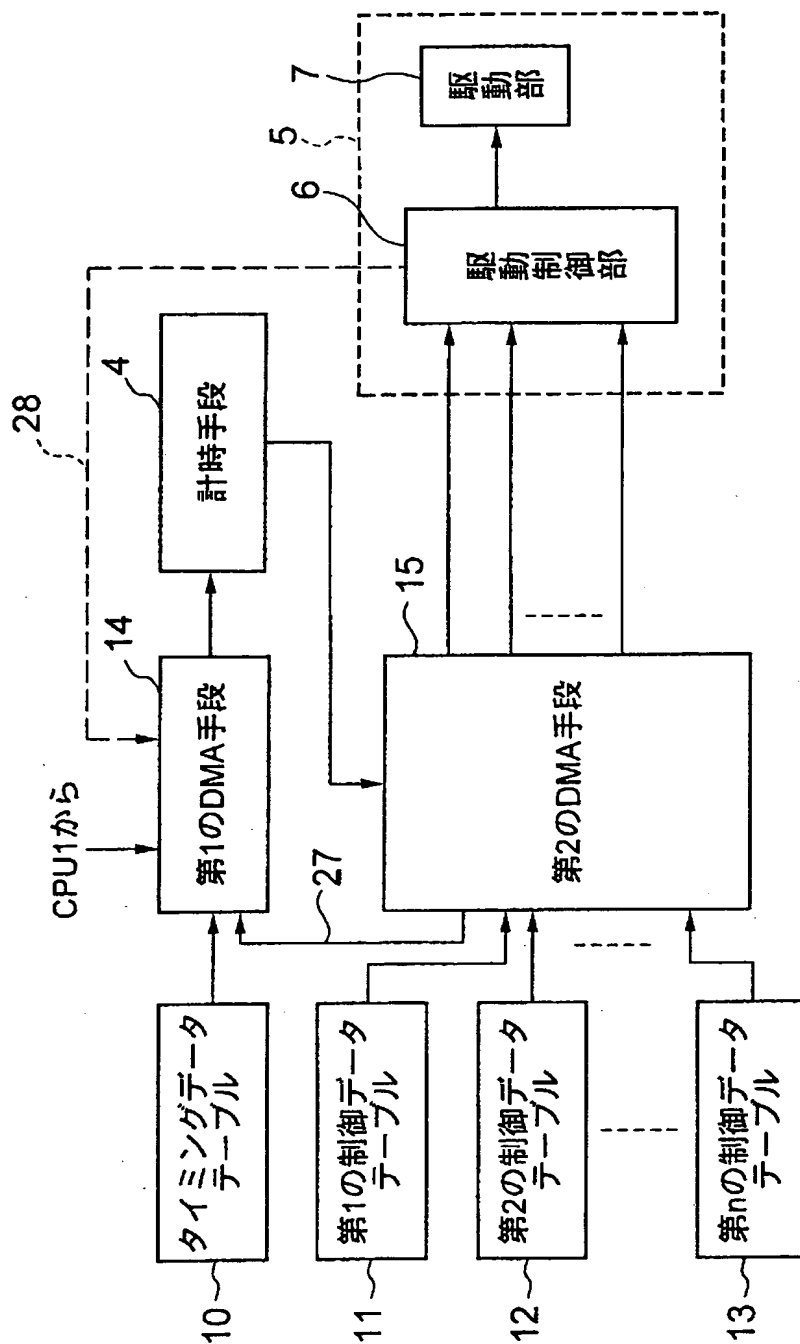
- 1 CPU
- 2 メモリ
- 3 DMA
- 4 計時手段
- 5 駆動機構
- 6 駆動制御部
- 7 駆動部
- 8 アドレスバス
- 9 データバス
- 1 0 タイミングデータ記憶手段
- 1 1 第 1 の制御データ記憶手段
- 1 2 第 2 の制御データ記憶手段
- 1 3 第 n の制御データ記憶手段
- 1 4 第 1 のダイレクトメモリアクセス手段
- 1 5 第 2 のダイレクトメモリアクセス手段
- 1 6 第 1 の制御手段
- 1 7 第 2 の制御手段

【書類名】 図面

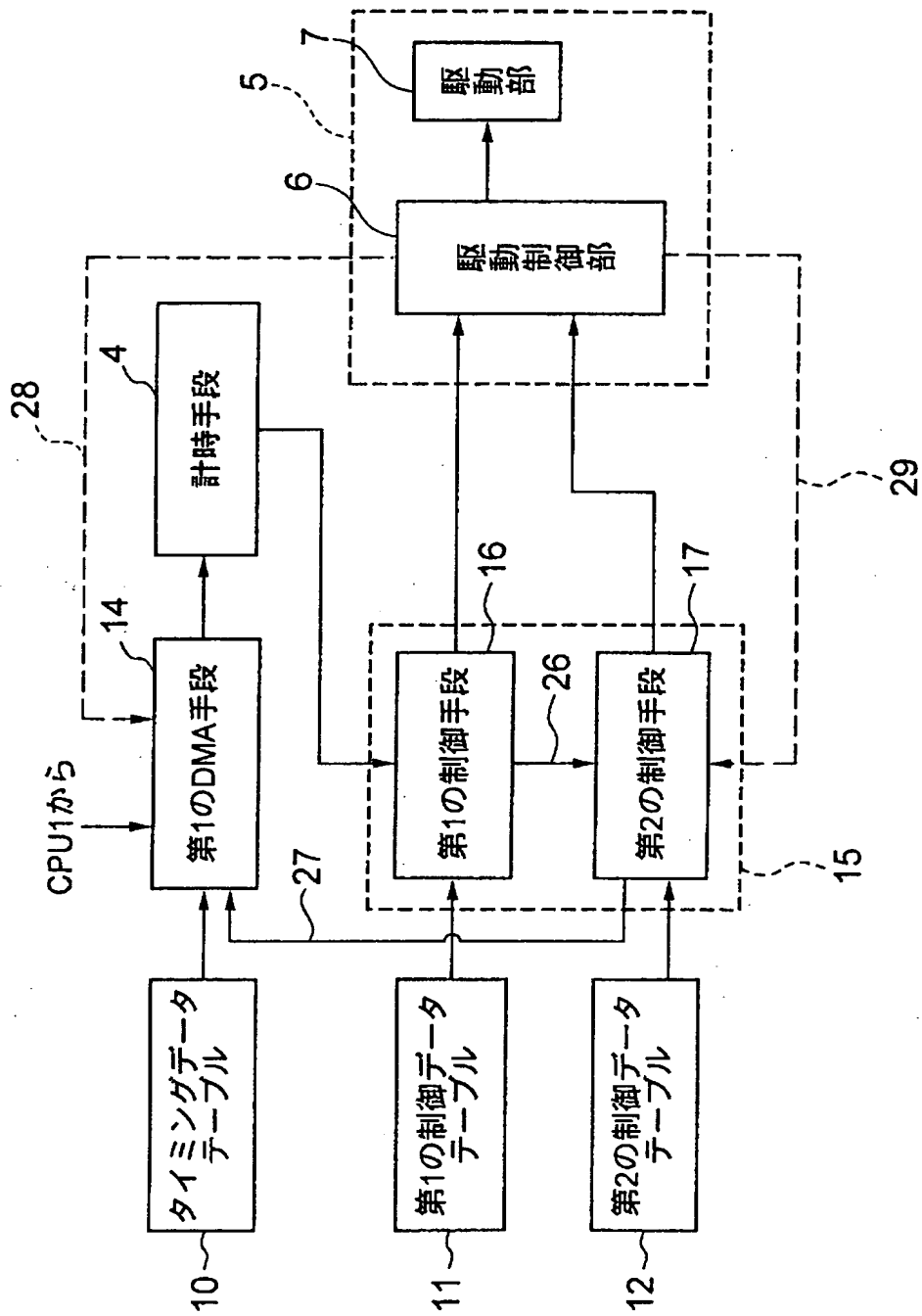
【図 1】



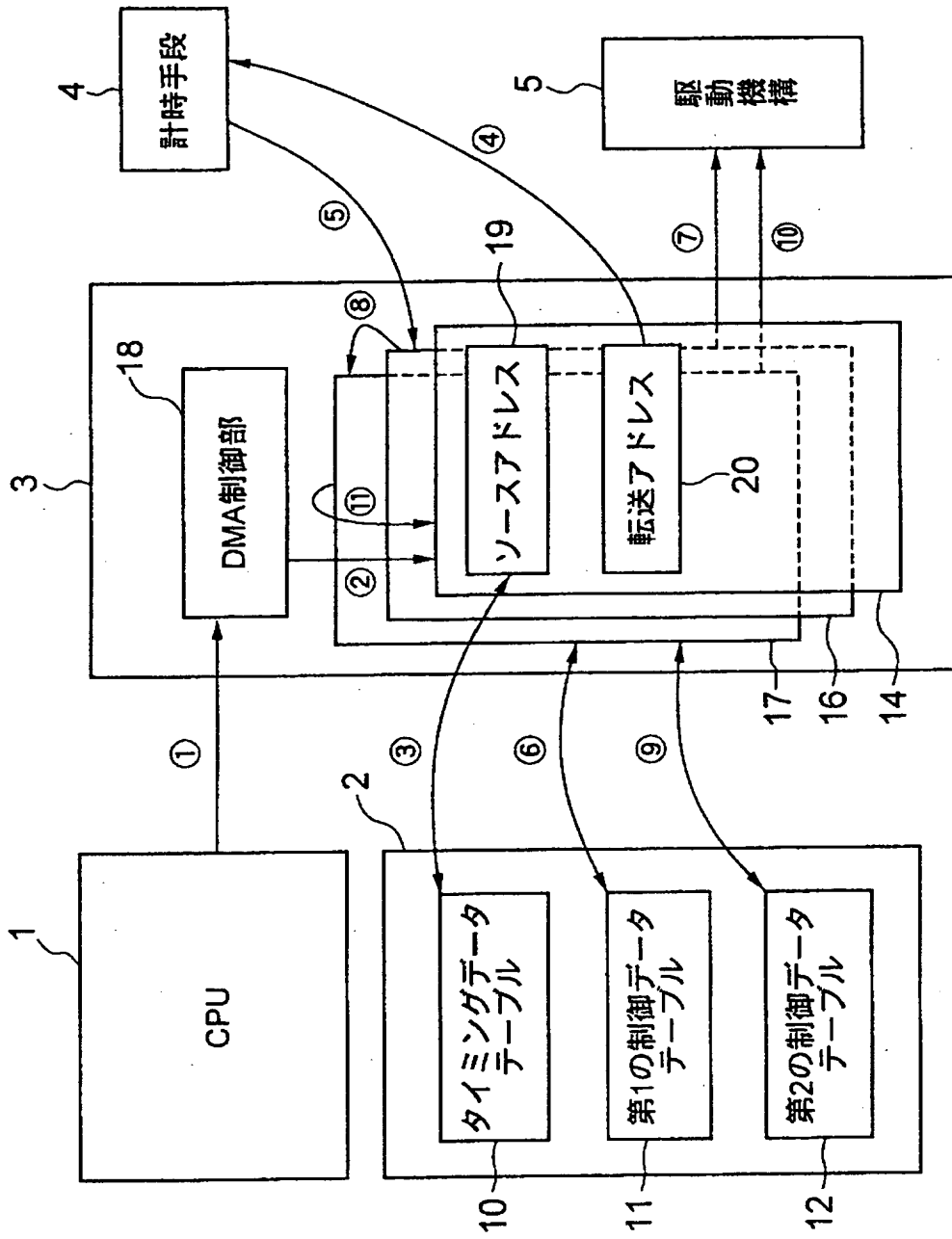
【図2】



【図 3】

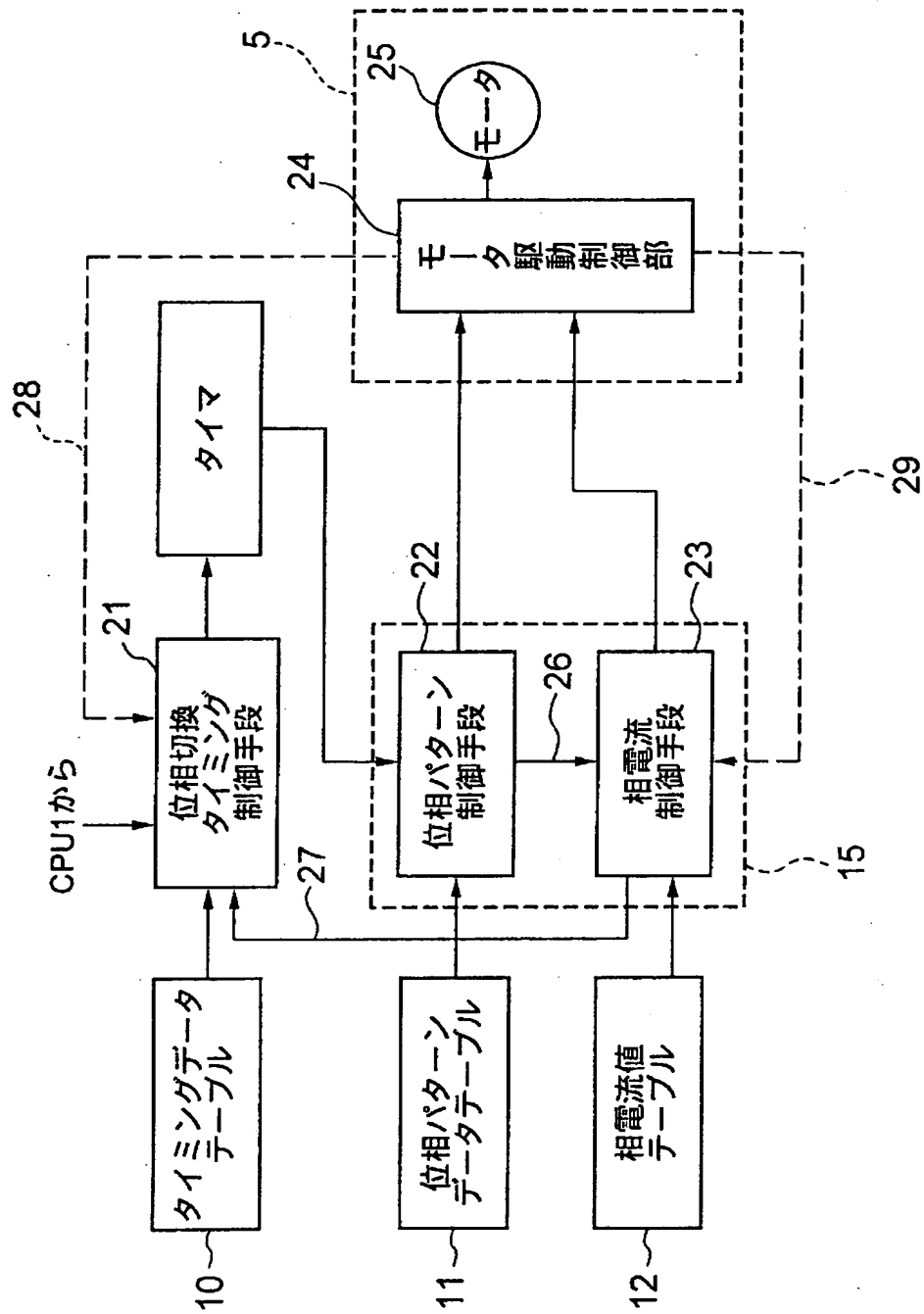


【図4】

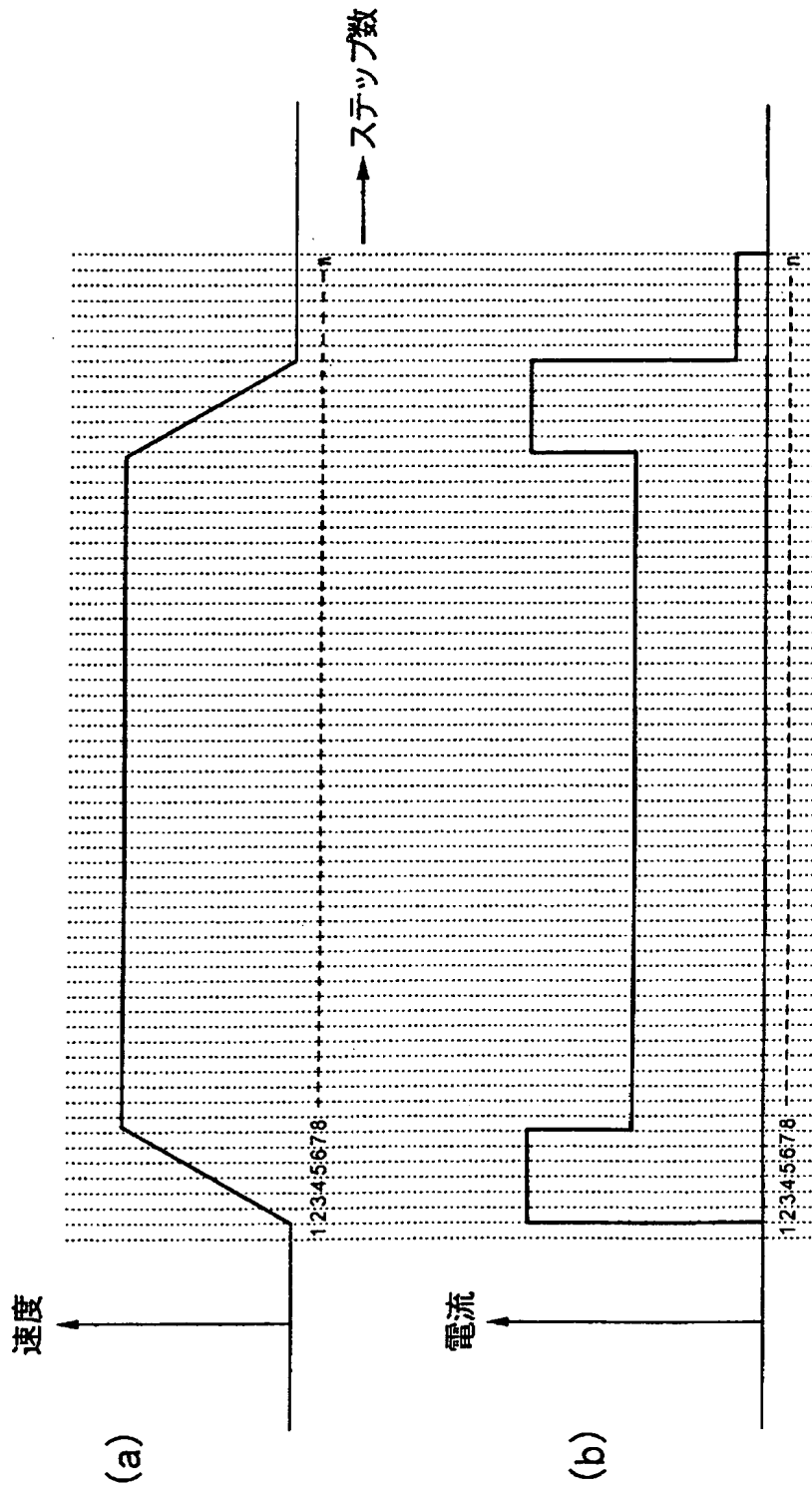




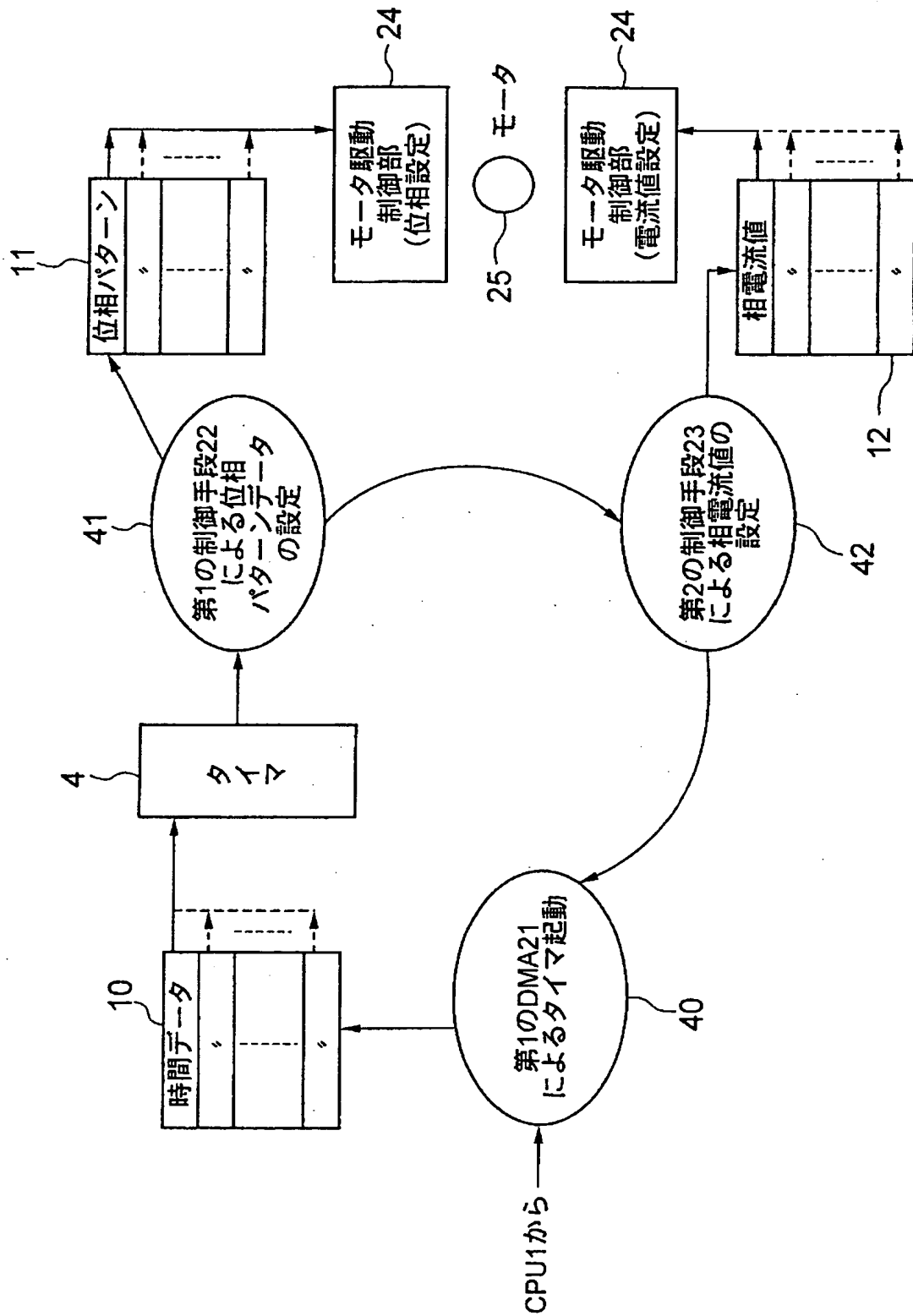
【図 5】



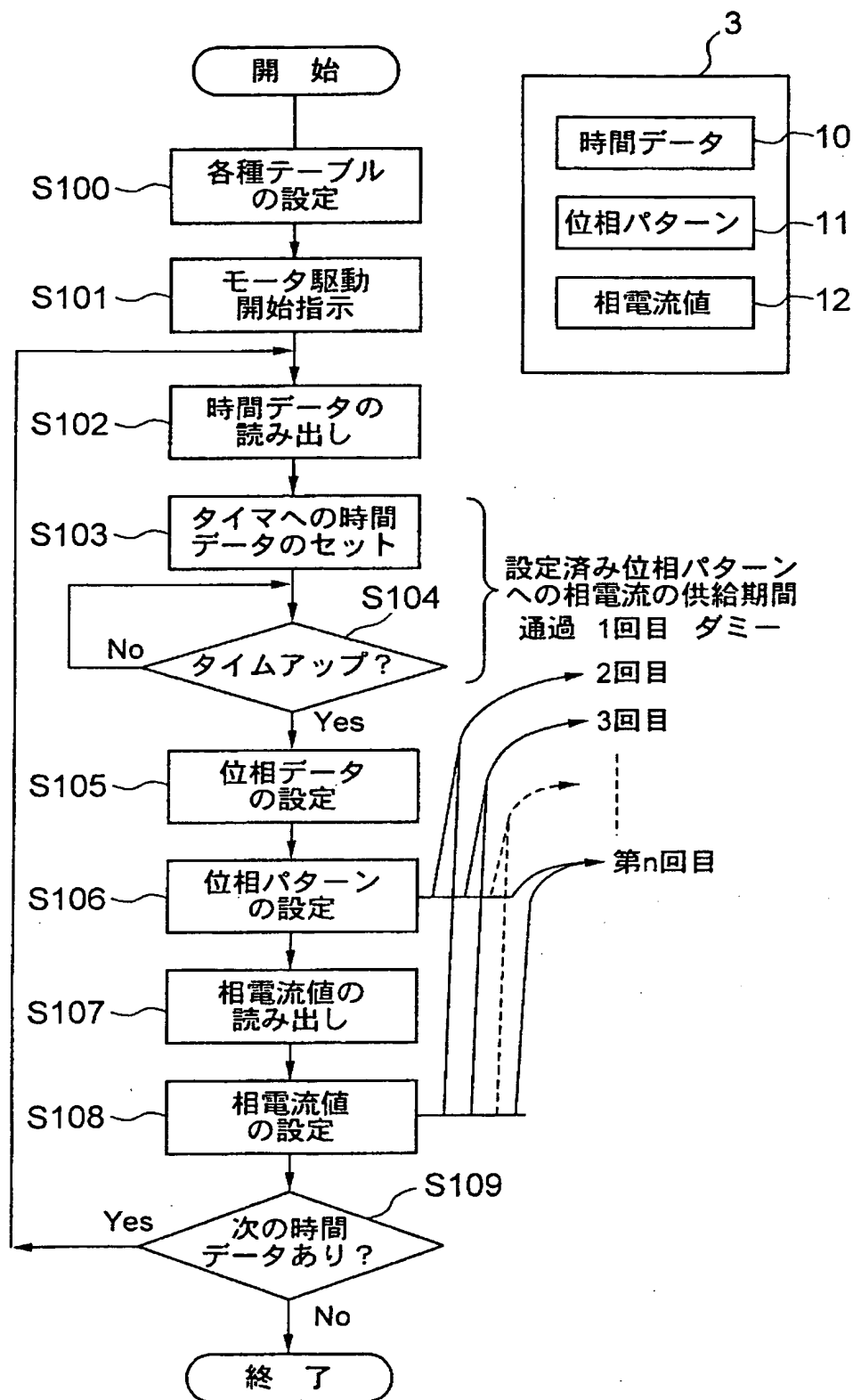
【図 6】



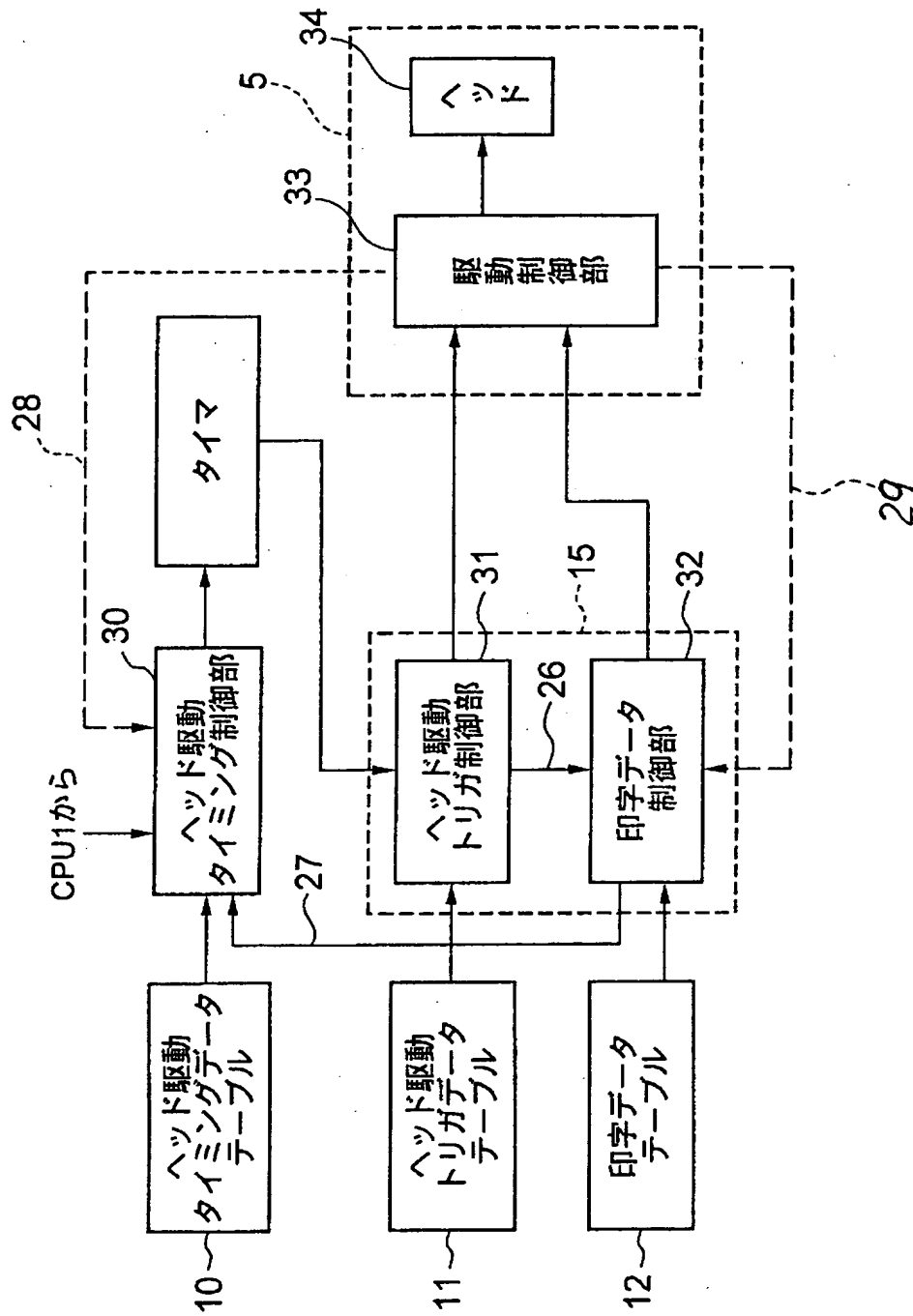
【図 7】



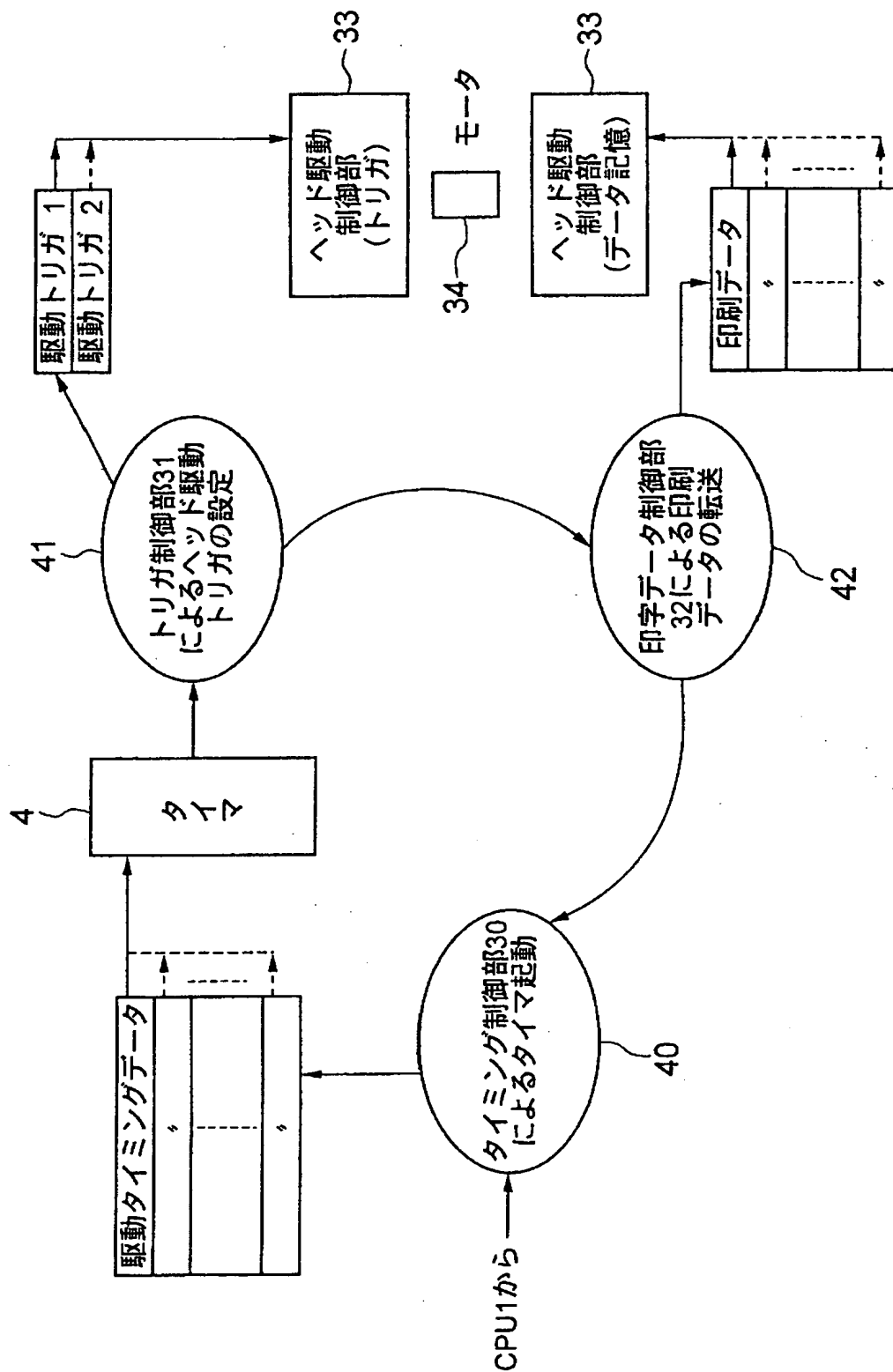
【図 8】



【图9】



【図10】



【書類名】 要約書

【要約】

【課題】 高速度のCPU及び専用ハードウェアを使用することなく、ステップモータ、ヘッドなどの駆動機構を高い精度で駆動させること。

【解決手段】 駆動機構の動作を切換えるタイミングを制御するためのタイミングデータ及び各切換タイミング毎の駆動機構の動作を制御するための複数の制御データをメモリに記憶しておき、CPUからの駆動命令を受信後に、DMAによりメモリからタイミングデータを読み出して上記各タイミングデータを計時装置に転送し、計時装置からの切換タイムアップ信号に基づいてDMAによりメモリから複数種類の駆動制御データを各種類毎に順次読み出して駆動制御部に転送し、制御データの全種類の転送が一巡したときに次のタイミングデータを計時装置に転送して同様の動作を繰り返すよう構成する。駆動制御部は、制御データに基づき駆動機構を駆動する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社